

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年2月5日 (05.02.2004)

PCT

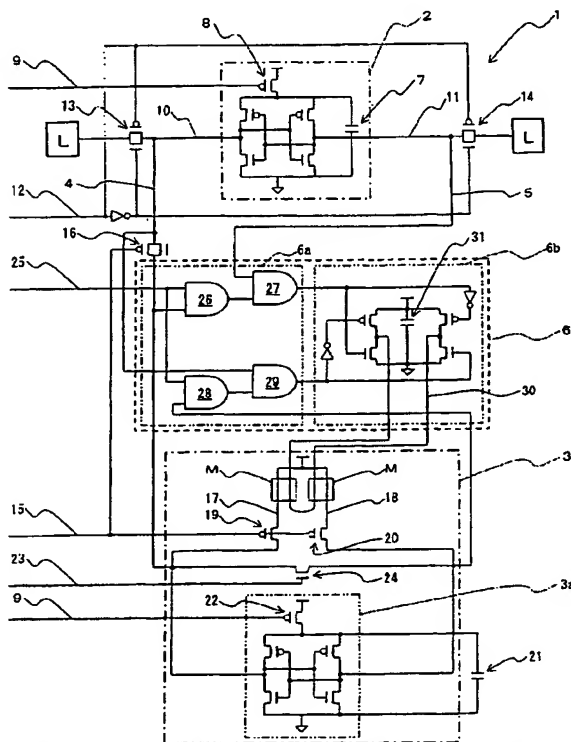
(10) 国際公開番号
WO 2004/012198 A1

- (51) 国際特許分類: G11C 11/15, 16/02, G06F 12/16, 12/06 (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/009295
- (22) 国際出願日: 2003年7月22日 (22.07.2003) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 森山 勝利 (MORIYAMA, Katsutoshi) [JP/JP]; 〒814-0001 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 Fukuoka (JP). 森 寛伸 (MORI, Hironobu) [JP/JP]; 〒814-0001 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 Fukuoka (JP). 岡崎 信道 (OKAZAKI, Nobumichi) [JP/JP]; 〒141-0001 東京都
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-220423 2002年7月29日 (29.07.2002) JP

(続葉有)

(54) Title: COMPOSITE STORAGE CIRCUIT AND SEMICONDUCTOR DEVICE HAVING THE SAME COMPOSITE STORAGE CIRCUIT

(54) 発明の名称: 複合記憶回路及び同複合記憶回路を有する半導体装置



(57) Abstract: A reduction of power consumption is realized in a composite storage circuit and a semiconductor device having the same composite storage circuit wherein volatile and non-volatile storage circuits are connected in parallel to form the storage circuit, which is configured such that the non-volatile storage circuit stores the same information as the volatile storage circuit, thereby allowing instant-on. In the composite storage circuit and the semiconductor device having the same composite storage circuit, in a case where the information stored in the volatile storage circuit is written into the non-volatile storage circuit, a decision circuit compares first information stored in the volatile storage circuit with second information already stored in the non-volatile storage circuit, and only if the first and second information are not coincident, the first information is written into the non-volatile storage circuit.

(57) 要約: 揮発性記憶回路と不揮発性記憶回路とを並列に接続して記憶回路を構成し、揮発性記憶回路の記憶情報と同一情報を不揮発性記憶回路に記憶することによりインスタントオンを可能とした複合記憶回路及び同複合記憶回路を有する半導体装置において、消費電力の低減をはかった複合記憶回路及び同複合記憶回路を有する半導体装置を提供することを課題とする。そこで本発明では、揮発性記憶回路と不揮発性記憶回路とを並列に接続して構成した複合記憶回路及び同複合記憶回路を有する半導体装置において、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を

書き込む場合に、前記揮発性記憶回路に記憶している第1の記憶情報と、前記不揮発性記憶回路に既に記憶し

(続葉有)

WO 2004/012198 A1

WO 2004/012198 A1



品川区 北品川 6丁目 7番 35号 ソニー株式会社内
Tokyo (JP).

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

(74) 代理人: 内野 美洋, 外(UCHINO, Yoshihiro et al.); 〒
810-0021 福岡県 福岡市 中央区今泉 2丁目 4番 26号
今泉コーポラス 1階 Fukuoka (JP).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(81) 指定国 (国内): CN, KR, US.

ている第2の記憶情報とを比較する判定回路を設け、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合に
のみ前記不揮発性記憶回路に前記第1の記憶情報を書込むべく構成した。